

E6216

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110080  
(43)Date of publication of application : 30.04.1993

(51)Int.Cl. H01L 29/784

(21)Application number : 04-090051 (71)Applicant : MOTOROLA INC  
(22)Date of filing : 17.03.1992 (72)Inventor : DAVIES ROBERT B  
JOHNSEN ROBERT J  
ROBB FRANCINE Y

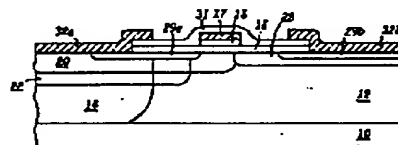
(30)Priority  
Priority number : 91 670654 Priority date : 18.03.1991 Priority country : US

## (54) SEMICONDUCTOR DEVICE HAVING LOW SOURCE INDUCTANCE

### (57)Abstract:

PURPOSE: To produce a radio frequency power device having low source inductance by using an epitaxial layer, together with an ohmic conduction means, and coupling a substrate region and a source region.

CONSTITUTION: A semiconductor device includes an epitaxial layer 12 of a first conductivity type formed on substrate 10 of the first conductivity type, a plurality of source regions 29a and drain regions 29b of a second conductivity type formed in the epitaxial layer 12, and a plurality of first regions 14 of the first conductivity type formed in the epitaxial layer 12. A source metal layer 32a is coupled electrically or has a short circuit on the fifth region 29a and the first region 14 and on an upper surface of a die, and the source region 29a is grounded to the substrate 10 through the first region 14. Thus, a semiconductor device having a source on the back side and having low source inductance may be formed.



## LEGAL STATUS

[Date of request for examination] 22.05.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3063374  
[Date of registration] 12.05.2000  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-110080

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

8225-4M

H01L 29/78

301 S

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-90051

(22)出願日 平成4年(1992)3月17日

(31)優先権主張番号 670654

(32)優先日 1991年3月18日

(33)優先権主張国 米国(US)

(71)出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72)発明者 ロバート・ビー・デビース

アメリカ合衆国アリゾナ州テンペ、イース  
ト・マツキンリー433

(74)代理人 弁理士 本城 雅則 (外1名)

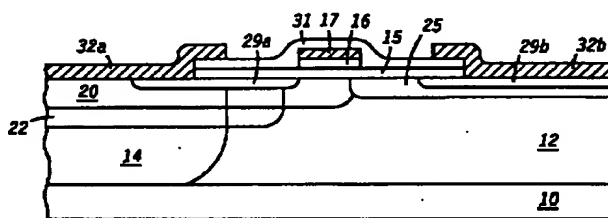
最終頁に続く

(54)【発明の名称】 低いソース・インダクタンスを有する半導体デバイス

(57)【要約】

【目的】 本発明は、低いソース・インダクタンスを有するRFパワー・デバイスを製作することを目的とする。

【構成】 低いソース・インダクタンスを有する半導体デバイスは、最大2つのソースがそれぞれ領域と結合することによって形成され、これは基板またはデバイスの背面と結合することを意味する。ソース・コンタクトが背面にあるので、デバイスを接地されたヒートシンクに直接配置することが可能となる。



## 【特許請求の範囲】

【請求項1】 第1導電性の基板10；前記基板10上に形成される第1導電性のエピタキシャル層12；前記エピタキシャル層12内部に形成され、第1導電性である複数のチャンネル領域；前記エピタキシャル層内部に形成され、第2導電性である複数のソース29aおよびドレイン29b領域；および前記エピタキシャル層12内部に形成され第1導電性である複数の第1領域から構成され、前記複数の第1領域と前記複数のソース領域は、オーミック導電性手段14を通じて結合されることを特徴とする半導体デバイス。

【請求項2】 第1導電性の基板10；前記基板上に堆積され第1導電性であり、上面および底面を有するエピタキシャル層12；前記エピタキシャル層内部に形成され第1導電性であり、前記上面から前記エピタキシャル層の部分に伸び、前記エピタキシャル層より高濃度にドーピングされる第1領域14；前記エピタキシャル層内部に形成され第1導電性であり、前記上面から前記エピタキシャル層の部分に伸びる第2領域20；前記エピタキシャル層上に堆積されるゲート領域16；および前記エピタキシャル層内部に形成され第2導電性であり、前記上面から前記エピタキシャル層の部分に伸びるソース29a、ドレイン29b領域から構成され、前記ソースおよび前記ドレイン領域は前記第2領域より浅く、前記ソースおよび前記ドレイン領域は前記ゲート領域によって分離され、さらに前記ソース領域は前記第2領域の内側に形成され、前記第1領域は前記ソース領域に短絡されることを特徴とする半導体デバイス。

【請求項3】 前面および背面を有する半導体ダイ；前記前面上に形成される複数のソース領域29a；および前記前面上で最大2つのソース領域と各々が電気的に結合し、前記ダイの前記背面に対する導電性手段を与える複数の第1のドーピングされた領域20、22、14；から構成されることを特徴とする半導体デバイス。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、一般に半導体デバイスに関し、特に低いソース・インダクタンスを有する無線周波数(RF)用半導体デバイスに関する。

## 【0002】

【従来の技術】 RFパワー・デバイスは、例えばセルラ無線機の送信出力段における増幅器のような通信機器に使用されている。RF増幅器ではソースが接地される構造を使用する。一般のRFパワー・デバイスでは、ダイの背面は通常デバイスのドレインである。ソースがダイの背面にある構造が望まれているのは、ヒートシンクに容易に接地しやすいためである。この構造はまた、熱をヒートシンクに伝導させるという観点からも望まれている。もしダイの背面がドレインであれば、ダイを酸化ベリリウムまたは他の絶縁体上に配置し、接地されたヒ-

トシンクからドレインを分離する必要がある。もしダイの背面がソースであれば、ダイはヒートシンクまたは他の接地面に直接配置することが可能である。このことは、高価で非常に有毒な酸化ベリリウムの使用を除去する。

【0003】 背面にソースを有するRFパワー・デバイスは製作されている。このデバイスでは電気的コンタクトは、単独の金属相互結線層を使用するダイの上面にある多数のソース領域から成る。この金属相互結線層は多数のソース領域と単独のP<sup>+</sup>領域とを結合し、そのP<sup>+</sup>領域は基板すなわちダイの背面と接触する。背面にソース・コンタクトがあると都合がよいのであるが、そのような構造を採用するとソース・インダクタンスが高くなり、その結果デバイスは低い利得を示す。

## 【0004】

【発明が解決しようとする課題】 従って、低いソース・インダクタンスを有するRFパワー・デバイスを製作することが望まれている。さらに、従来のデバイスでは二重の金属層プロセスを必要とする。個々の金属層はデバイスのゲートおよびドレインと電気的に結合する必要があるためである。従って、製造工程を簡易にしてコストを低くするために、背面にソースを有し、単独の金属層プロセスを用いるRFパワー・デバイスを形成することが望まれている。

## 【0005】

【課題を解決するための手段】 本発明は、第1導電性の基板10、前記基板10上に形成される第1導電性のエピタキシャル層12、前記エピタキシャル層12内部に形成され第1導電性である複数のチャンネル領域、前記エピタキシャル層内部に形成され第2導電性である複数のソース29aおよびドレイン29b、および前記エピタキシャル層12内部に形成され第1導電性である複数の第1領域から構成され、前記複数の第1領域と前記複数のソース領域はオーミック導電性手段14を通じて結合されることを特徴とする半導体デバイスである。

## 【0006】

【作用】 本発明は、第1導電性の基板、基板上に形成される第1導電性のエピタキシャル層、エピタキシャル層内部に形成され第2導電性である複数のソースおよびドレイン領域、およびエピタキシャル層内部に形成され第1導電性である複数の第1領域から構成され、そのエピタキシャル層はオーミック導電性手段と併に用いられ、基板とソース領域とを結合する半導体デバイスである。

## 【0007】

【実施例】 図1は本発明における製造工程初期の段階での部分断面図を示す。第1導電性の半導体基板10が図に示されている。本実施例では、基板10はP<sup>+</sup>導電性のシリコン基板であり、半導体ダイの背面を形成する。

第1導電性であるエピタキシャル層12は、当該技術分野でよく知られた技術によって基板10上に形成される。本実施例においてエピタキシャル層12は、好適にはP導電性のエピタキシャル・シリコンである。次に第1導電性の第1領域14は、エピタキシャル層12内に形成される。第1領域14は、好適にはエピタキシャル層12あるいはP導電性よりも高濃度にドーブされる。第1領域14は、イオン注入および拡散等のような当該技術分野でよく知られた工程によって形成される。第1領域14は、この段階でまたはプロセスが終了した段階で基板10と物理的に接触していることが望ましいが、それは必ずしも必要ではない。基板10に対する導電性手段は、第1領域14によって更に与えられるためである。その結果、ゲート酸化物層15、ゲート・ポリシリコン層16および選択的に堆積するゲート・シリサイド層17から構成されるゲート領域は、エピタキシャル層12上に形成され、ゲート・ポリシリコン層16および選択的に堆積するゲート・シリサイド層17は、通常のフォトリソグラフ、エッチング技術を使用してパターンニングする。ゲート・シリサイド層17は、好適にはタングステンシリコンから成るが、他の耐熱性のある金属シリサイドを使用することも可能である。

【0008】図2は、図1に示す状態からプロセスが更に進んだ状態である。フォトレジスト層18を形成し、エピタキシャル層12のパターンニングした部分にドーパントが侵入することを防ぐ。フォトレジスト層18は、ゲート・シリサイド層17の一部分上およびエピタキシャル層12上に形成され、第1領域14が形成されないゲート・ポリシリコン層16とゲート・シリサイド層17の側面に隣接する。第1導電性の第2領域20は、フォトレジスト・マスク18が堆積されない領域内のエピタキシャル層12内部に形成される。第2領域20は、好適には通常のイオン注入工程によって形成される。第2領域20は、好適には第1領域14よりも僅かに高濃度にドーブする。

【0009】図3は、図2に示す状態からプロセスが更に進んだ状態である。フォトレジスト層21を形成し、エピタキシャル層12のパターンニングした部分にドーパントが侵入することを防ぐ。フォトレジスト層21はゲート・シリサイド17上およびエピタキシャル層12上に形成され、第1領域14が形成されないゲート・ポリシリコン層16とゲート・シリサイド層17の側面に隣接し、第2領域20が形成されるエピタキシャル層12の部分上に形成される。第1導電性の第3領域22は、フォトレジスト・マスク21が堆積されない領域内のエピタキシャル層12内部に形成される。第3領域22は、好適には通常のイオン注入工程によって形成される。第3領域22は、好適には第2領域20より高濃度であって第1領域14より僅かに高濃度にドーブする。

【0010】図4は、図3に示す状態からプロセスが更

に進んだ状態である。フォトレジスト層23を形成し、エピタキシャル層12のパターンニングした部分にドーパントが侵入することを防ぐ。フォトレジスト層23はゲート・シリサイド17の一部分上およびエピタキシャル層12上に形成され、第1領域14、第2領域20および第3領域22が形成されるゲート・ポリシリコン層16とゲート・シリサイド層17の側面に隣接する。その後第2導電性の第4領域25は、フォトレジスト層23堆積されないエピタキシャル層内に形成される。第4領域25は、好適には通常のイオン注入工程によって形成され、N型導電性であることが望ましい。第4領域25は、デバイスのドレインの部分となる。

【0011】図5は、図4に示す状態からプロセスが更に進んだ状態である。第2領域20、第3領域22および第4領域25は、高温の工程でエピタキシャル層12内部にさらに拡散する。各々の領域はイオン注入の後に拡散させるのであるが、同時に拡散させることによってプロセスに要する時間は減少する。拡散工程の後、フォトレジスト層27をエピタキシャル層12の一部分上に形成する。その部分は、ゲート・シリサイド17の一部分上、第4領域の一部分上に達し、また別の部分は第1領域14、第2領域20および第3領域22の上部に伸びる。

【0012】図6は、図5に示す状態からプロセスが更に進んだ状態である。第5領域29aおよび第6領域29bは、好適には第2導電性のドーパントをフォトレジスト層27が存在しないエピタキシャル層12にイオン注入することによって形成される。第5領域29aはデバイスのソースとなり、第6領域29bはデバイスのドレインとなる。そのドレイン領域は、やや高濃度にドーブされた領域25、より高濃度にドーブされた領域29bから構成される。第4領域25はデバイスの降伏電圧を増加させる役割を果たす。第2領域20は、トランジスタのチャネル領域となる。第3領域22は、寄生バイポーラ・トランジスタの直列ベース抵抗を減少させることによってデバイスの信頼性を高め、その寄生トランジスタは第4領域25、第2領域20および第6領域29aから成るが、領域22はデバイスを動作させるために必ず必要なものではない。

【0013】図7は、図6に示す状態からプロセスが更に進んだ状態である。絶縁層31が形成され、ゲート・シリサイド17上、およびゲート・シリサイド層17を取り囲むエピタキシャル層12の部分上であるゲート酸化物層15上にパターンニングされる。絶縁層31は単独の層または異なる絶縁層の組み合わせである。その後オーミック導電性手段または金属層を形成し、パターンニングし、ドレイン金属層32bおよびソース金属層32aを形成する。コンタクトは、ゲート・シリサイド層17と同じ金属層上（図には示されていない）に形成される。デバイスを完成させるための以後の工程は、周知の

技術を使用するので、以後の説明はここでは割愛する。

【0014】

【発明の効果】以上の説明によって、背面にソースを有し、低いソース・インダクタンスを有する半導体デバイスを、形成することが可能である。このパワーFETは、RF機器で使用することに適している。ソース金属層32aは、第5領域29aおよび第1領域14とダイの上面において電氣的に結合または短絡し、その結果ソース領域29aは第1領域14を通じて基板10に接地される。全てのデバイスを形成するには、図7に示される部分を含む複数のセル、および図1ないし図7に示される部分の鏡像を、単独の基板10上に形成する。その複数のセルは、当該技術分野でよく知られた技術によって形成されるフィールド酸化物（図には示されていない）によって分離される。こうしてオーミック導電性手段（ソース金属層32a）と直列に結合する1つの第1領域14は、最大2つのソース（第5）領域29aを接地する。この形態においてダイの前面上のソースをダイの背面に接地することは、従来のデバイスと比較して、ソース・インダクタンスを低減させる。その従来のデバイスは、全てのソースとダイの上面の金属とを結合し、基板に結合する単独の領域を介して基板とそれらを接地することによって形成されるものである。本発明によるデバイスは、背面にソースを有するデバイスの利点をも兼ね備える。ソースは背面上にあり、ダイはヒートシン

クに直接配置されるためである。従って、酸化ベリリウムを使用する必要はない。また、単独の金属層プロセスを使用することにも留意すべきである。ソース、ドレインおよびゲート領域に対する必要な全ての相互結線に対しては、上面の1つの金属層のみが必要となり、デバイスを形成する工程を単純化し、コストを低減させる。

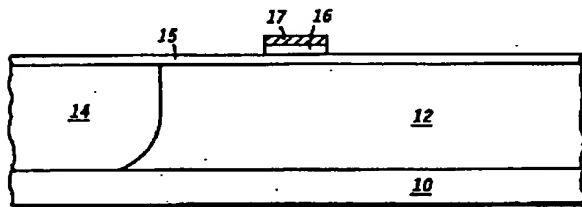
【図面の簡単な説明】

【図1ないし図7】各製造工程における本発明の部分断面図である。

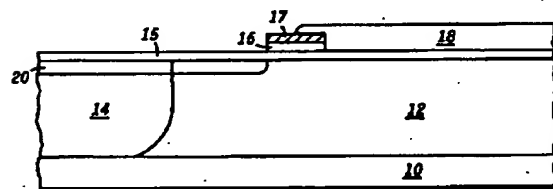
【符号の説明】

- 10 基板
- 12 エピタキシャル層
- 14 第1領域
- 15 ゲート酸化物層
- 16 ゲート・ポリシリコン層
- 17 ゲート・シリサイド層
- 18, 21, 23, 27 フォトリソグレイム層
- 20 第2領域
- 22 第3領域
- 25 第4領域
- 29a ソース
- 29b ドレイン
- 31 絶縁層
- 32a ソース金属層
- 32b ドレイン金属層

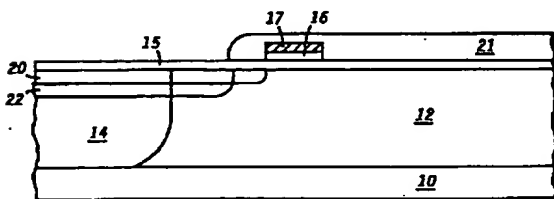
【図1】



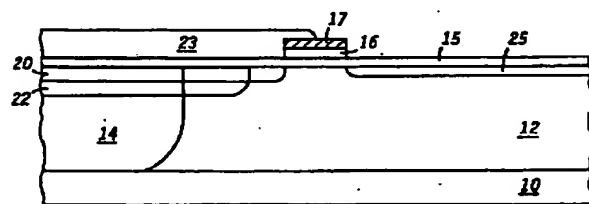
【図2】



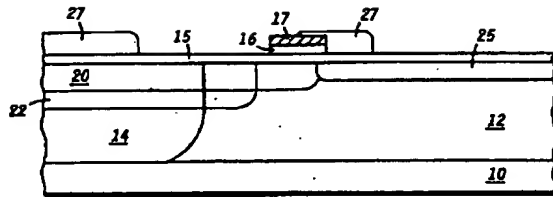
【図3】



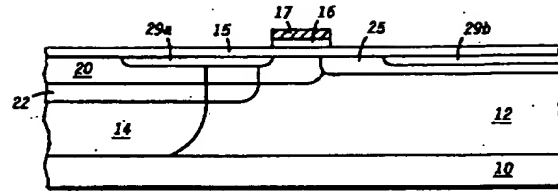
【図4】



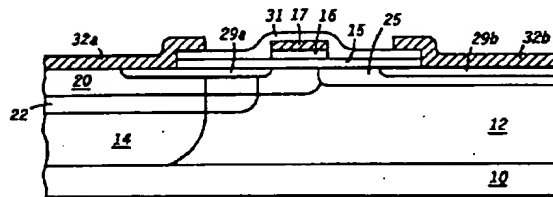
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 ロバート・ジェイ・ジョンセン  
アメリカ合衆国アリゾナ州スコッツデー  
ル、ノース・エイティファースト・プレー  
ス3038

(72)発明者 フランシヌ・ワイ・ロブ  
アメリカ合衆国アリゾナ州テンペ、ウエス  
ト・グリーンツリー・ドライブ211

Page Blank (uspto)